

Atividade em Sala de Aula #4
 (16/11/2009)

1. Considere o projeto do processador MIPS com múltiplos ciclos (diagramas em anexo).

- Considere atrasos dos componentes internos conforme tabela abaixo. Se fosse projetado um novo banco de registradores com consumo de potência 40% menor, mas com o dobro do atraso, que conseqüências podem acontecer no desempenho do processador?
- Leia o texto em anexo sobre o acréscimo da instrução *j* (*jump*). Explique as alterações no fluxo de dados e na unidade de controle.
- Descreva as mudanças necessárias para a implementação das seguintes instruções no projeto básico:
 - bne*
 - lbu*
 - lui*
 - jal*
 - ori*
 - srlv*

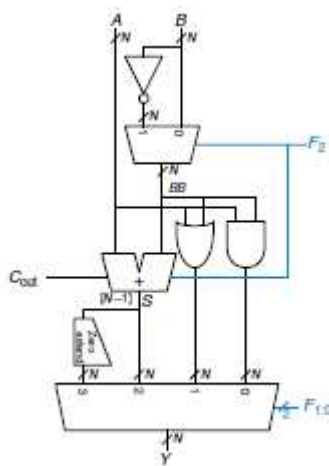


Figura 1 – Projeto básico de uma ULA de N bits.

Table 7.1 ALUOp encoding

ALUOp	Meaning
00	add
01	subtract
10	look at funct field
11	n/a

Table 7.2 ALU decoder truth table

ALUOp	Funct	ALUControl
00	X	010 (add)
X1	X	110 (subtract)
1X	100000 (add)	010 (add)
1X	100010 (sub)	110 (subtract)
1X	100100 (and)	000 (and)
1X	100101 (or)	001 (or)
1X	101010 (slt)	111 (set less than)

Table 7.3 Main decoder truth table

Instruction	Opcode	RegWrite	RegDst	ALUSrc	Branch	MemWrite	MemtoReg	ALUOp
R-type	000000	1	1	0	0	0	0	10
lw	100011	1	0	1	0	0	1	00
sw	101011	0	X	1	0	1	X	00
beq	000100	0	X	0	1	0	X	01

Diagrama do processador de múltiplos ciclos

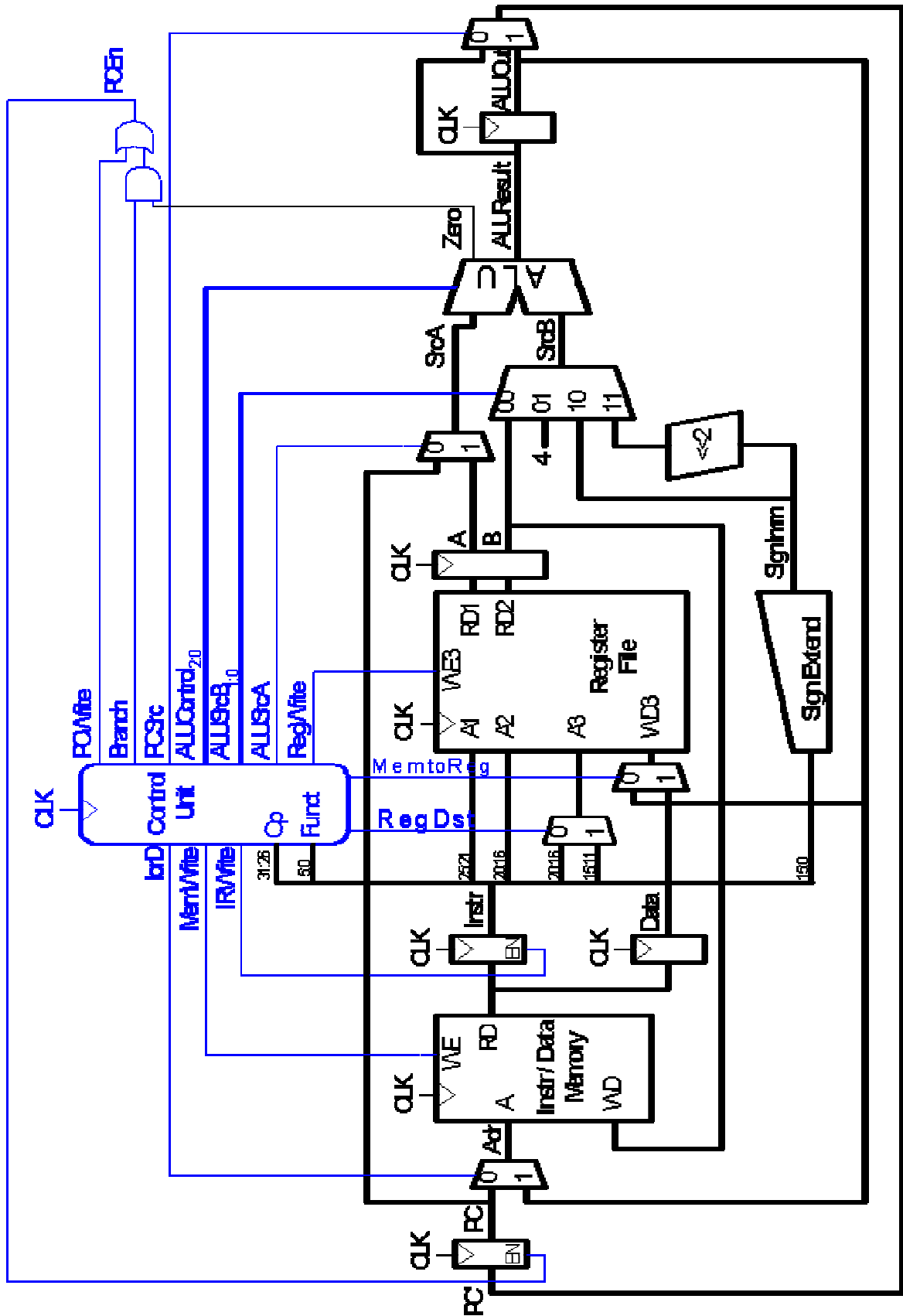


Diagrama de Transição de Estados da Unidade de Controle do Processador de Múltiplos Ciclos

