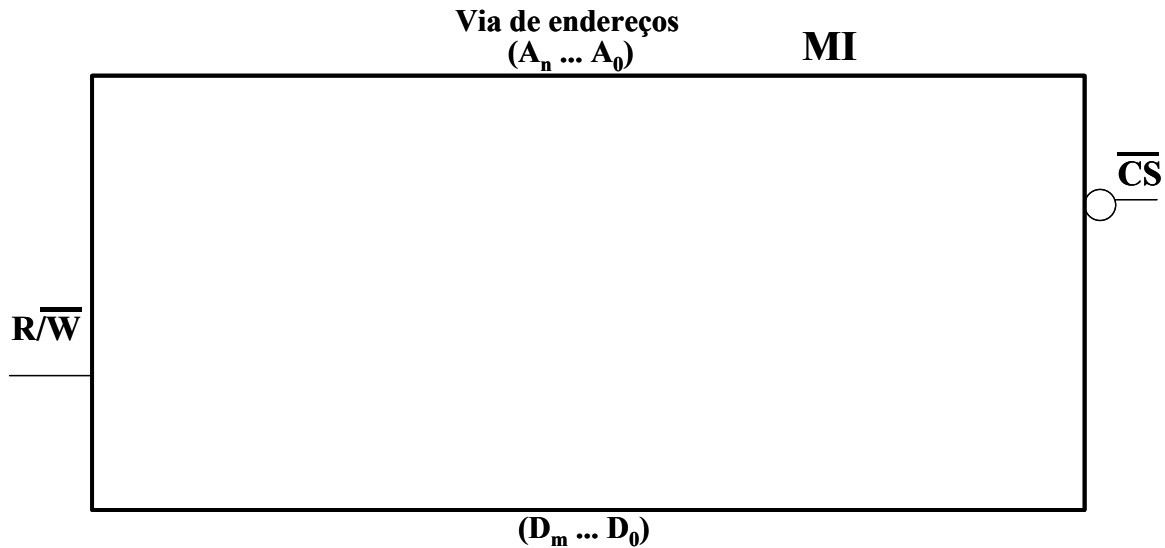


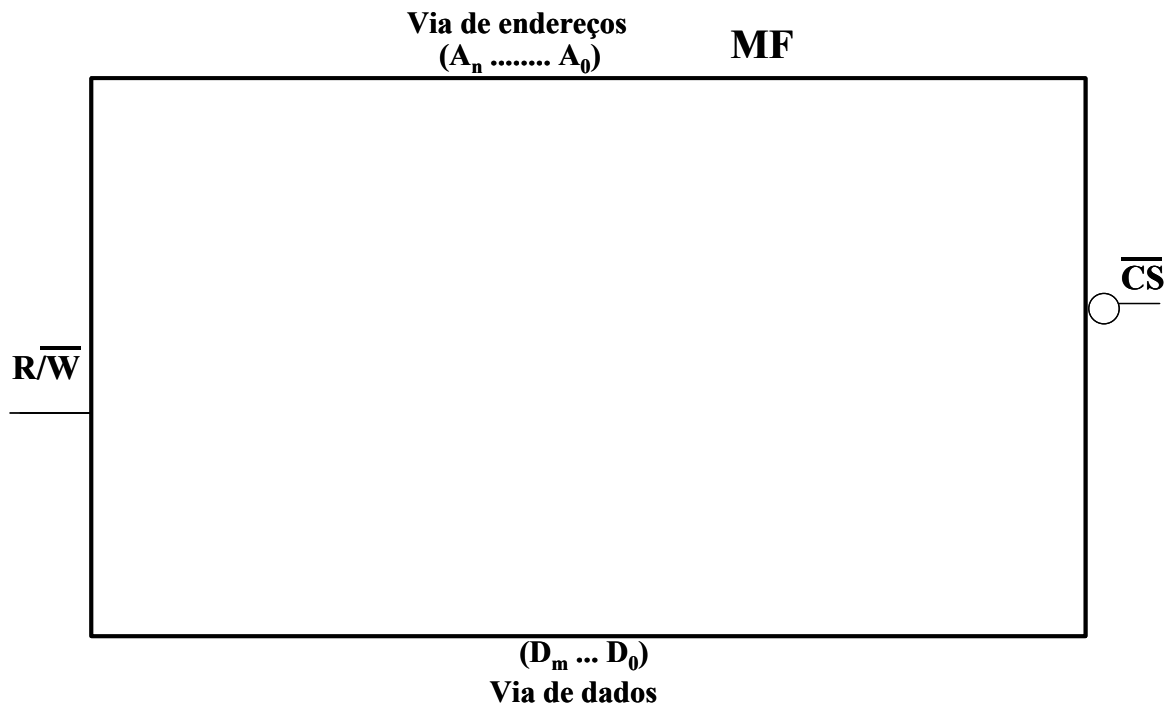
Exercício memória 4

(3,0 pontos)

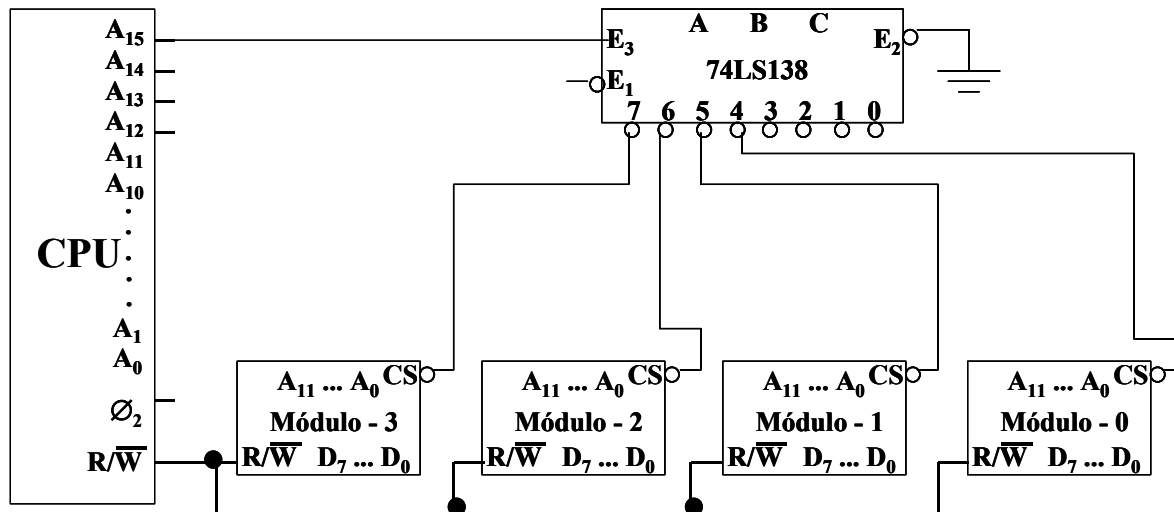
(1,5 pontos) A partir de chips de memória RAM de 2K x 4 bits implementar um módulo de memória de 4K x 8 bits. Encaminhamento: implementar um Módulo Intermediário (MI) de 2K x 8 bits em uma primeira etapa e utilizá-lo na solução definitiva (Módulo Final - MF). Usar lógica adicional se julgar necessário. **3.a.1 (0,5 ponto)** Etapa intermediária (MI):



(1,0 ponto) Solução definitiva (MF):



(1,5 pontos) - 3.b.1) (0,5 ponto) Considere o sistema de memória em anexo, onde falta gerar o sinal de habilitação E_1 (ativo baixo). Considere que o sinal \emptyset_2 é um pulso positivo que ocorre somente depois que as linhas de endereço se estabilizaram, quando da aplicação de um novo endereço na via. Desenhe no esquema simplificado abaixo o que falta para concluir o diagrama lógico utilizando-se de lógica adicional, se necessário.



(0,5 ponto) Qual é o valor do endereço inicial e final de cada módulo (em binário e em hexadecimal)? Preencher tabela abaixo.

Módulo	Endereço	Endereço em binário															Hexa	
		A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁		A ₀
0	Inicial																	
	Final																	
1	Inicial																	
	Final																	
2	Inicial																	
	Final																	
3	Inicial																	
	Final																	

(0,5 ponto) Suponha que o sistema foi submetido a um programa de teste da memória, gerando as mensagens: endereços $(8000)_{16}$ a $(BFFF)_{16}$ falhas nos bits D_0 a D_7 ; endereços $(D000)_{16}$ a $(DFFF)_{16}$ falhas nos bits D_0 a D_3 ; endereços $(E000)_{16}$ a $(EFFF)_{16}$ falhas nos bits D_0 a D_7 . Em quais módulos estão ocorrendo falhas? Explique o que provavelmente está ocorrendo e sugira uma ação para corrigir os problemas. **Resposta:**

Figura do módulo de memória RAM de 2K x 4 - questão 3, parte a

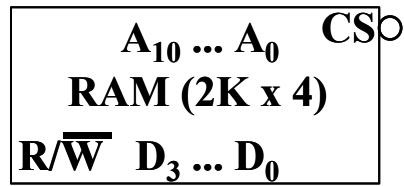


Figura do sistema de memória da questão 3, parte b
 (Obs: No 74LS138 a entrada “C” é a mais significativa)

