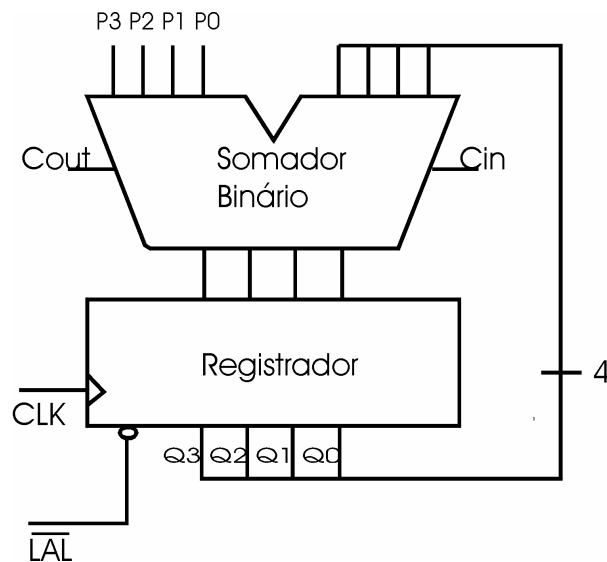


# PCS 2304 – PROJETO LÓGICO DIGITAL – 14/05/2007

## 6ª Lista de Exercícios – Somadores

1. Inspirando-se na estrutura do acumulador da figura, projete um contador de 8 bits de passo variável reversível. Além dos 8 bits de saída deverá ter as seguintes entradas:
- ✓ CLK = clock
  - ✓ LAL = Limpa ao ligar (que pode ser utilizado também como Master Reset assíncrono)
  - ✓  $P_2P_1P_0 = 3$  bits que definem o passo
  - ✓ S/D' = entrada que define o sentido de contagem, de acordo com a tabela.
  - ✓ (em todos os casos considere um início em 0000)

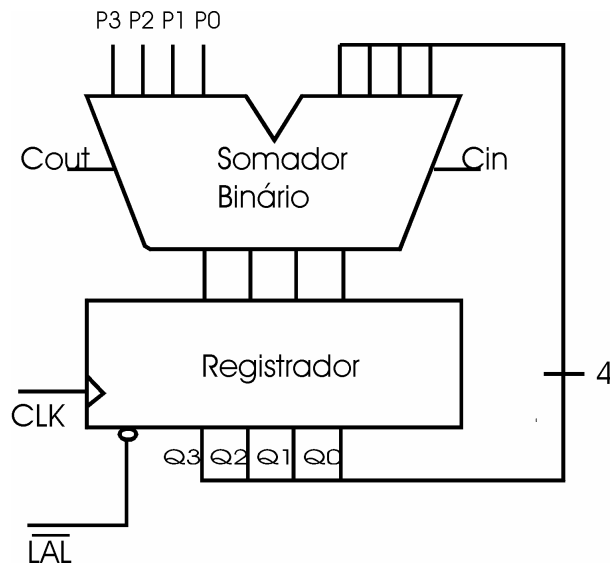


$P_2P_1P_0$	S/D'=0	S/D'=1
000	contador inibido	contador inibido
001	1 em 1 p/ baixo	1 em 1 p/ cima
010	2 em 2 p/ baixo	2 em 2 p/ cima
011	3 em 3 p/ baixo	3 em 3 p/ cima
100	4 em 4 p/ baixo	4 em 4 p/ cima
101	5 em 5 p/ baixo	5 em 5 p/ cima
110	6 em 6 p/ baixo	6 em 6 p/ cima
111	7 em 7 p/ baixo	7 em 7 p/ cima

ref.: Engenharia do Projeto Lógico Digital: Conceitos e Prática - Fregni e Saraiva.

2. Analise o circuito seqüencial e responda:

(em todos os casos considere um início em 0000)



a) Como funciona o circuito com  $[P3P2P1P0] = [0000]$  e  $Cin = [1]$  (responda com um texto)

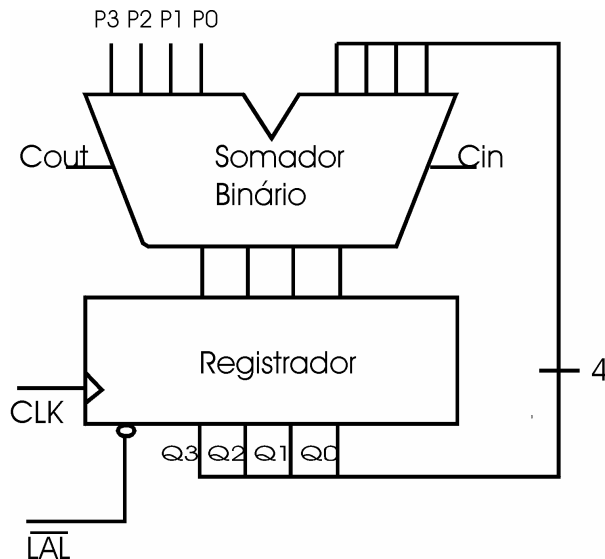
b) Se  $Cin = [0]$  e  $[P3P2P1P0] = [0011]$ , preencha a tabela considerando pulsos sucessivos de clock:

CLK	C <sub>OUT</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	DECIMAL
1						
2						
3						
4						
5						
6						
7						
8						
9						
10						

c) Se  $C_{in} = [C_{OUT}]$  e  $[P3P2P1P0] = [0110]$ , preencha a tabela considerando pulsos sucessivos de clock:

CLK	$C_{OUT}$	Q3	Q2	Q1	Q0	DECIMAL
1						
2						
3						
4						
5						
6						
7						
8						
9						
10						

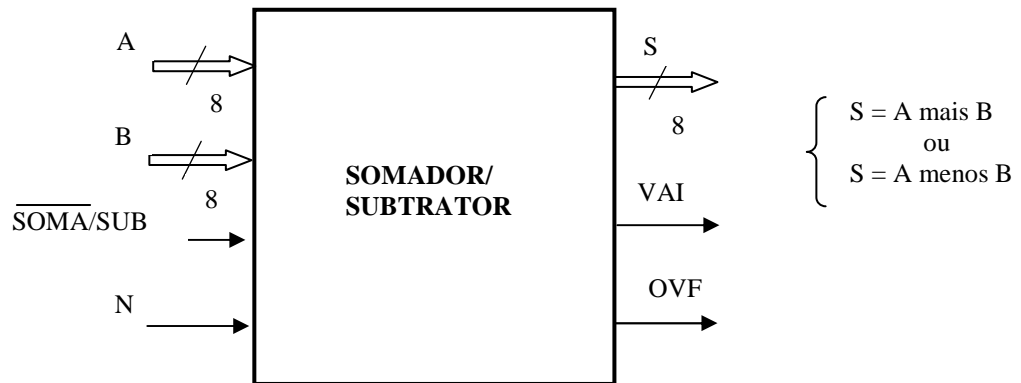
3. Analise o circuito sequencial (em todos os casos considere um início em 0000)  
 ref.: *Engenharia do Projeto Lógico Digital: Conceitos e Prática* - Fregni e Saraiva.



Considere que  $P3=Q3$ ,  $P2=Q2$ ;  $P1=Q1$ ;  $P0=Q0$

Mostre que seu funcionamento é idêntico ao de um deslocador. Justifique. Qual seria a entrada série desse deslocador?

4. Utilizando somadores binários de 4 bits e lógica adicional, projetar um SOMADOR/SUBTRATOR BINÁRIO DE 8 BITS, que pode realizar as operações de SOMA (A mais B) e de SUBTRAÇÃO (A menos B), nas notações Complemento de 1 e Complemento de 2.



ENTRADAS:

**A:**  $A_7A_6A_5A_4A_3A_2A_1A_0$  } OPERANDOS A7 é o sinal  
**B:**  $B_7B_6B_5B_4B_3B_2B_1B_0$  } B7 é o sinal

**$\overline{\text{SOMA/SUB}}$  :**  $\left\{ \begin{array}{l} 0 = \text{SOMA (A mais B)} \\ 1 = \text{SUBTRAI (A menos B)} \end{array} \right.$

**N: NOTAÇÃO**  $\left\{ \begin{array}{l} 0 = \text{Complemento de 2} \\ 1 = \text{Complemento de 1} \end{array} \right.$

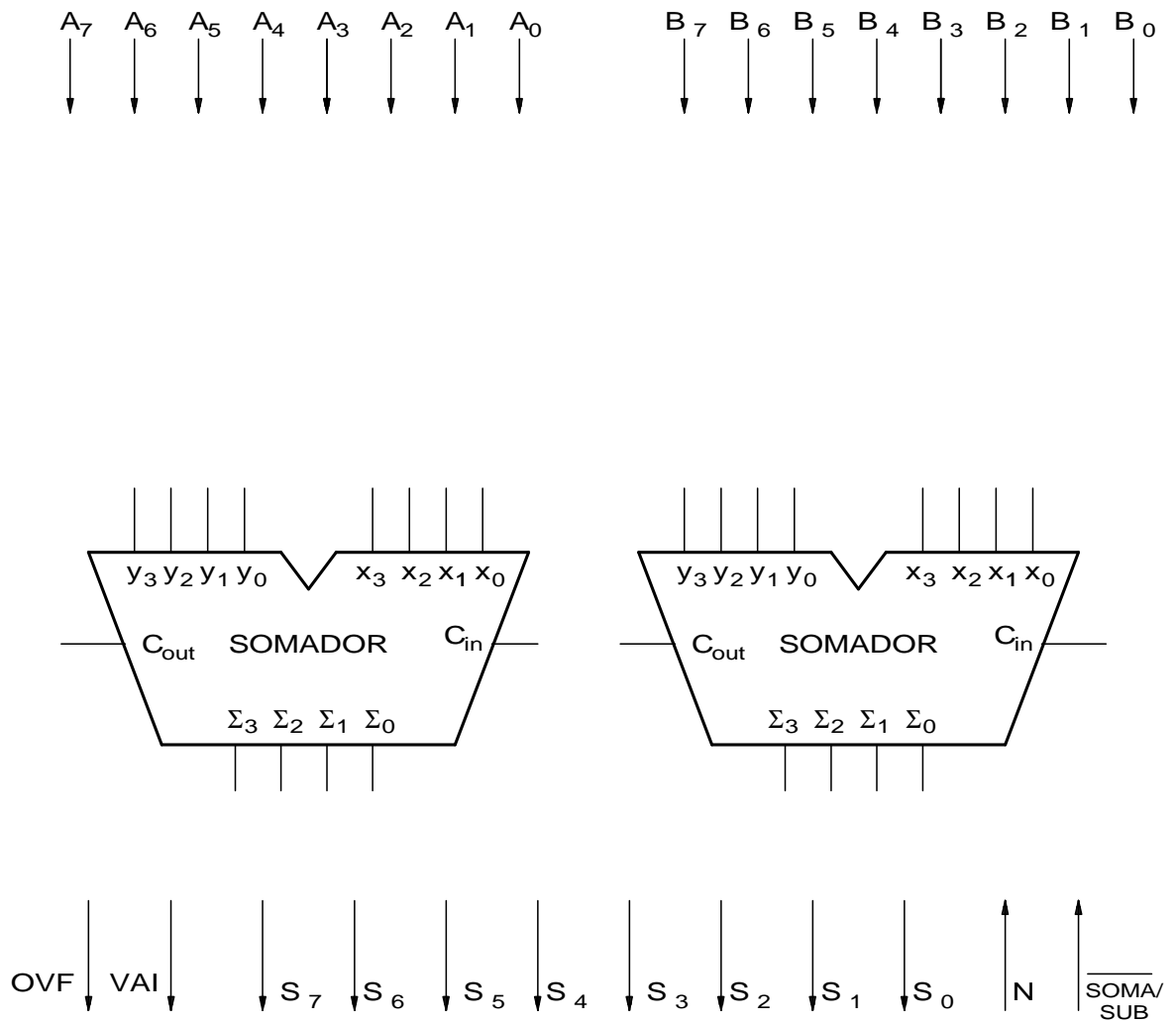
SAÍDAS:

**S:**  $S_7S_6S_5S_4S_3S_2S_1S_0$  } Resultado da operação S7 é o sinal

**VAI:** vai-um da operação realizada

**OVF:** indica transbordamento  $\left\{ \begin{array}{l} 0 = \text{não houve} \\ 1 = \text{houve} \end{array} \right.$

a) Completar o diagrama lógico fornecido.



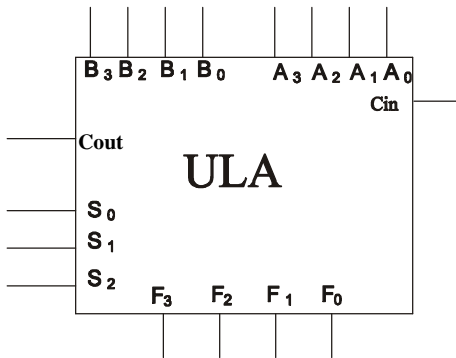
b) Preencher a tabela abaixo:

		ENTRADAS (DIGITAIS)						SAÍDAS (DIGITAIS)				
								VALORES DECIMAIS C/ SINAL				VALOR DECIMAL C/ SINAL
$\overline{\text{SOMA/}}SUB$	N	A <sub>7</sub> A <sub>6</sub> A <sub>5</sub> A <sub>4</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>	B <sub>7</sub> B <sub>6</sub> B <sub>5</sub> B <sub>4</sub> B <sub>3</sub> B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	A	B	S <sub>7</sub> S <sub>6</sub> S <sub>5</sub> S <sub>4</sub> S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub>	VAI	OVF	S			
0	1	1 1 1 1 0 0 1 0	1 0 0 0 0 0 0 1									
1	1	1 1 1 1 0 0 1 0	0 0 0 0 1 1 0 1									
0	0	1 1 1 1 0 0 1 0	1 1 1 1 0 0 1 0									
1	0	1 0 0 1 1 1 0 0	0 0 0 1 1 1 0 0									

N = 1 Complemento de 1

N = 0 Complemento de 2

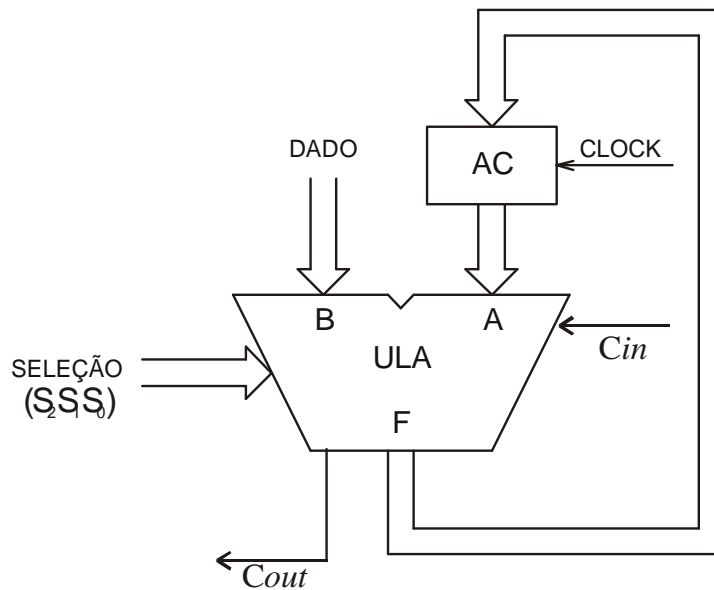
5. Considere um unidade lógica e aritmética de 4 bits, que permite a realização das seguintes operações:



$S_2$	$S_1$	$S_0$	Operação
0	0	0	$F=0000$
0	0	1	$F=A+B+Cin$
0	1	0	$F=A+B'+Cin$
0	1	1	$F=A'+B+Cin$
1	0	0	$F=A \text{ and } B$
1	0	1	$F=A \text{ or } B$
1	1	0	$F=A \oplus B$
1	1	1	$F=A+A$

+ = MAIS

Considere agora o circuito mostrado abaixo, construído com esta ULA.



AC : é um registrador de 4 bits

- a) Pede-se completar a tabela, detalhando a seqüência de operações que devem ser realizadas para obter-se, no acumulador, o seguinte resultado:

$$X = ((X_2 - X_1) \oplus X_3) + 2 * X_4$$

Cin	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	Operação	Conteúdo de AC*	Valor de "DADO"	Comentários

\* Após a atuação do CLOCK

Obs: Estado inicial: O conteúdo do acumulador é igual a 0000.

Os operandos e os resultados das operações aritméticas estão na notação complemento de 2.

Os operandos são fornecidos na seguinte seqüência: X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub>, X<sub>4</sub>.

- b) Pede-se completar a tabela abaixo, onde é fornecida a seqüência de operações realizadas e os operandos presentes na entrada "DADO", supondo que conteúdo inicial do acumulador, antes de se iniciar a 1ª operação, é zero:

Cin	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	Entrada "DADO"				Conteúdo do AC				Operação
				B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	
0	1	0	1	0	1	0	0					
1	0	1	1	0	0	0	1					
0	1	1	1	0	0	0	1					
1	1	1	0	1	1	1	0					
1	0	1	0	0	0	1	0					
1	0	1	0	0	0	1	0					

- c) Escreva uma expressão (nos moldes da apresentada no item a), que traduza o conteúdo do acumulador, após a última operação, supondo que os operandos e o resultado das operações aritméticas estão em complemento de 2.

**X =**